

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

8672225

Basic Patent (No,Kind,Date): JP 1089464 A2 890403 <No. of Patents: 001>

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): SHIGYO NAOYUKI

IPC: \*H01L-029/78; H01L-027/12

Derwent WPI Acc No: G 89-142694

JAPIO Reference No: 130321E000113

Language of Document: Japanese

Patent Family:

| Patent No         | Kind | Date   | Applic No   | Kind | Date           |
|-------------------|------|--------|-------------|------|----------------|
| <b>JP 1089464</b> | A2   | 890403 | JP 87244062 | A    | 870930 (BASIC) |

Priority Data (No,Kind,Date):

JP 87244062 A 870930

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

02791864      \*\*Image available\*\*

**SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

PUB. NO.:      **01-089464** [JP 1089464 A]

PUBLISHED:      April 03, 1989 (19890403)

INVENTOR(s):   SHIGYO NAOYUKI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      62-244062 [JP 87244062]

FILED:           September 30, 1987 (19870930)

INTL CLASS:     [4] H01L-029/78; H01L-027/12

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL:        Section: E, Section No. 790, Vol. 13, No. 321, Pg. 113, July  
20, 1989 (19890720)

**ABSTRACT**

**PURPOSE:** To decrease an electric field in the vicinity of a drain, to decrease impact ionization, to prevent kink in a thin film SOIMOSFET, and to make it possible to suppress the decrease in breakdown strength, by offsetting a gate electrode and source and drain regions.

**CONSTITUTION:** A CVD oxide film 2 and a polycrystalline silicon film 3 are sequentially deposited on a single crystal silicon substrate 1. The polycrystalline silicon film 3 is made to be a single crystal film by laser beam annealing technology and the like. Then, B ions are implanted, and the film is made to be a p-type SOI layer. Thermal oxidation is further performed. A gate oxide film 4 is formed. Then, a polycrystalline film 5 is deposited. A gate is formed by patterning. Then, a CVD oxide film 7 is deposited. Etching is performed by RIE. The CVD film is made to remain on the side wall of the gate. Thereafter, As ions are implanted, and source and drain regions 6 are formed. The gate electrode 5 and the drain layer 6 are offset. Thus an electric field in the vicinity of the drain can be decreased. As a result, impact ionization is weakened, and the generation of kink of current and voltage characteristics can be suppressed.

## ⑫ 公開特許公報(A)

昭64-89464

⑪ Int. Cl.<sup>4</sup>H 01 L 29/78  
27/12

識別記号

3 1 1

庁内整理番号

X-7925-5F  
7514-5F

⑬ 公開 昭和64年(1989)4月3日

審査請求 未請求 発明の数 4 (全5頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 昭62-244062

⑯ 出 願 昭62(1987)9月30日

⑰ 発 明 者 執 行 直 之 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究  
所内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 則近 憲佑 外1名

## 明 細 書

## 1. 発明の名称

半導体装置及びその製造方法

## 2. 特許請求の範囲

(1) 半導体基板上に堆積した絶縁膜上に形成する電界効果型半導体装置において、絶縁膜上の半導体層の厚さが前記電界効果型半導体装置のしきい電圧をゲート電極に印加した時に、前記半導体層の下面まで空乏化する膜厚以下の厚みであり、また、前記ゲート電極とソース・ドレインまたはドレイン領域との間に0.1 $\mu$ m以上のオフセットを有することを特徴とする電界効果型半導体装置。

(2) 半導体基板上に堆積した絶縁膜上の電界効果型半導体装置の製造方法において、前記絶縁膜上に半導体層を前記電界効果型半導体装置のしきい電圧をゲート電極に印加した時に前記半導体層の下面まで空乏化する膜厚以下の厚さで形成する工程と、ゲート電極を形成する工程と、ゲートの側壁に絶縁膜を残置させる工程と、前記ゲート電極と前記ゲート側壁の絶縁膜をマスクとしてイオン

注入によりソース・ドレインを形成する工程とを含むことを特徴とする半導体装置の製造方法。

(3) 半導体基板上に堆積した絶縁膜上に形成する電界効果型半導体装置において、絶縁膜上の半導体層の厚さが前記電界効果型半導体装置のしきい電圧をゲート電極に印加した時に前記半導体層の下面まで空乏化する膜厚以下の厚みであり、また、ソース・ドレインと前記半導体層の接合近傍に半導体層と同型でかつ濃度は半導体層よりも低い領域を有することを特徴とする電界効果型半導体装置。

(4) 半導体基板上に堆積した絶縁膜上の電界効果型半導体装置の製造方法において、前記絶縁膜上に半導体層を前記電界効果型半導体装置のしきい電圧を印加した時に前記半導体層の下面まで空乏化する膜厚以下の厚さで形成する工程と、ゲート電極を形成する工程と、該ゲート電極をマスクとして前記半導体層と同導電型の不純物をイオン注入する工程と、ゲートの側壁に絶縁膜を残置させる工程と、前記ゲート電極と前記ゲート側壁の絶

酸膜をマスクとしてイオン注入によりソース・ドレインを形成する工程とを含むことを特徴とする半導体装置の製造方法。

### 3. 発明の詳細な説明

#### (発明の目的)

#### (産業上の利用分野)

本発明は、MOSFET およびその製造方法に関する。

#### (従来技術)

LSI の微細化に伴い配線容量やソース・ドレインと基板間との寄生容量が回路の動作速度に大きな影響を与えている。この寄生容量の低減を目ざして SOIMOSFET が提案された。しかし、SOIMOSFET では、第 2 図の一点鎖線に示すように電流電圧特性に KinK が現われる。この原因は第 3 図を用いて説明できる。ドレイン近傍の高電界によってインパクト・イオン化が起こり、電子と正孔が発生する。n チャネル MOSFET の場合は、発生した正孔が SOI 層 3 に貯まる。この SOI 層 3 に貯まった正孔は SOI 基板電位を上昇させ結果的

にしきい値  $V_{th}$  が低下し電流が流れる。これが KinK となる。

SOI 層 3 の膜厚を薄くすることによって、KinK を抑えられることが吉見等によって明らかになった。これは、SOI 層 3 の膜厚が薄いために SOI 層 3 に正孔が貯まる量が低下するためである。しかし、この薄膜 SOIMOSFET では第 2 図に破線で示すように耐圧が低下する。これは、発生した正孔がソース近傍の電位障壁を低下させ、バイポーラ動作により電流が流れるためである。

つまり、インパクト・イオン化により発生した正孔がソース近傍の電位障壁を低下させ電流が流れ、これによりインパクト・イオン化がさらに強くなり、これがまたソース電位を下げるという正帰環となるためである。この耐圧の低下は MOSFET の素子特性として好ましくない。

ここで、従来の SOIMOSFET の製造方法について第 4 図を用いて簡単に述べておく。シリコン基板 1 上に CVD 酸化膜 2 を  $1\mu\text{m}$  堆積し、次に、多結晶シリコン膜 3 を  $0.5\mu\text{m}$  堆積しレーザ・ビーム・

アニール技術等の周知の技術を用いて該多結晶シリコン膜 3 を単結晶化させ次に、加速電圧  $40\text{KeV}$  ドーズ量  $1 \times 10^{12} \text{ cm}^{-2}$  で B をイオン注入し p 形 SOI 層とする。さらに第 4 図 (b) に示すように  $25 \text{ nm}$  のゲート酸化膜 4 を形成し、次に多結晶シリコン膜 5 を堆積しパターンングしゲートを形成しさらにソース・ドレイン層 6 をイオン注入で形成する。

#### (発明が解決しようとする問題点)

SOIMOSFET では構造上電流電圧特性に KinK が現われ、回路設計を難しくさせている。また、薄膜 SOIMOSFET では KinK がなくなるが、耐圧が低下するという問題があった。

本発明は上記事情を考慮してなされたもので、その目的とするところは、薄膜 SOIMOSFET において KinK がなく、かつ耐圧の低下を抑制することを可能とする半導体装置およびその製造方法を提供することにある。

#### (発明の目的)

#### (問題を解決するための手段)

本発明の骨子は第 1 図 (b) に示すようにゲート電極 5 とリース・ドレイン領域 6 とをオフセットにすることによりドレイン近傍の電界を低下させインパクト・イオン化を低減し耐圧を向上させることである。

#### (作用)

本発明によれば、ゲート電極がリース・ドレインとオフセットになっていることにより、ドレイン近傍の電界を緩和させインパクトイオン化を抑え KinK をなくすことができ、また、バイポーラ動作によるブレーク・ダウンを抑制し耐圧を向上させることができる。

#### (実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第 1 図は本発明の実施例に係わる n チャネル SOIMOSFET の製造工程を示す断面図である。まず、第 1 図 (a) に示す如く、例えば、単結晶シリコン基板 1 上に CVD 酸化膜 2 を  $1\mu\text{m}$  堆積し、次に、多結晶シリコン膜 3 を  $0.05\mu\text{m}$  堆積し、レーザ・

ビーム・アニール技術等の周知の技術を用いて該多結晶シリコン膜3を単晶化させ次に例えば加速電圧10 KeVドーズ量 $1 \times 10^{12} \text{cm}^{-2}$ でBをイオン注入しこれをp形SOI層とする。さらに、熱酸化を行い例えば25 nmのゲート酸化膜4を形成し、次に多結晶シリコン膜5を堆積しパターンニングによってゲートを形成する。次に、例えば、CVD酸化膜7を0.7  $\mu\text{m}$ 堆積しRIEによりエッチングし、ゲートの側壁にCVD酸化膜を第1図(b)に示すように残置させる。この後、加速電圧40 KeVドーズ量 $3 \times 10^{15} \text{cm}^{-2}$ でAsをイオン注入し、ソース・ドレイン領域6を形成する。

かくして本実施例によれば、ゲート電極5とドレイン層6がオフセットになっており、これによりドレイン近傍の電界が低減でき、その結果インパクト・イオン化が弱まり電流電圧特性のKinkを抑制することができる。

尚、本発明は上述した実施例方法に限定されるものではない。ゲート側壁膜7に関してCVD酸化膜をRIEによりエッチングすることにより形成し

とにより電位障壁を高め、バイポーラ動作によるブレイク・ダウンを抑制し耐圧を向上させることができる。

以下、その詳細を図示の実施例によって説明する。

第5図はこの発明の実施例に係わるnチャネルSOIMOSFETの製造工程を示す断面図である。まず、第5図(a)に示す如く、例えば、単結晶シリコン基板1上にCVD酸化膜2を1  $\mu\text{m}$ 堆積し、次に、多結晶シリコン膜3を0.05  $\mu\text{m}$ 堆積し、レーザ・ビーム・アニール技術等の周知の技術を用いて該多結晶シリコン膜3を単晶化させ次に例えば加速電圧10 KeVドーズ量 $1 \times 10^{12} \text{cm}^{-2}$ でBをイオン注入しこれをp形SOI層とする。さらに、熱酸化を行い例えば25 nmのゲート酸化膜4を形成し、次に多結晶シリコン膜5を堆積しパターンニングによってゲートを形成する。次に、第5図(b)に示すようにBを例えば10 KeV $1 \times 10^{15} \text{cm}^{-2}$ でイオン注入し $p^+$ 層8を形成する。この後、例えばCVD酸化膜7を0.7  $\mu\text{m}$ 堆積しRIEによりエッチングしゲ

たが、ゲート側壁に絶縁膜が形成できれば、例えば、ゲート多結晶シリコン膜5を酸化する方法でも良い。また、実施例ではnチャネルSOIMOSFETの製造方法を示したが、本発明はpチャネルSOIMOSFETにも同様に適用することができる。

次に、本発明の他の例について説明する。

先に述べたようにSOIMOSFETでは構造上電流電圧特性にKinkが現われ、回路設計を難しくさせている。また、薄膜SOIMOSFETではKinkがなくなるが、耐圧が低下するという問題があった。

本発明は上記事情を考慮してなされたもので、その目的とするところは、薄膜SOIMOSFETにおいて耐圧の低下を抑制することを可能とする半導体装置およびその製造方法を提供することにある。

本発明の骨子は第1図(c)に示すようにソース・ドレイン領域6近傍に $p^+$ 層8を形成し、ソース層6とSOI層3との間の電位障壁を高くし、前述のバイポーラ動作を抑制し耐圧を向上させることである。

本発明によれば、ソース近傍に $p^+$ 層を設けるこ

との側壁にCVD酸化膜を第5図(c)に示すように残置させる。次に、加速電圧40 KeVドーズ量 $3 \times 10^{15} \text{cm}^{-2}$ でAsをイオン注入し、ソース・ドレイン領域6を形成する。

かくして、本実施例によれば、 $p^+$ 層8がソース・ドレイン層6とSOI層3との間に形成され電位障壁が高まり、バイポーラ動作によるブレイク・ダウンを抑制し耐圧を向上させることができる。

尚、第5図に示した本発明は上述した実施例方法に限定されるものではない。ゲート側壁膜7に関してCVD酸化膜をRIEによりエッチングすることにより形成したが、ゲート側壁に絶縁膜が形成できれば、例えば、ゲート多結晶シリコン膜5を酸化する方法でも良い。また、実施例ではnチャネルSOIMOSFETの製造方法を示したが、本発明はpチャネルSOIMOSFETにも同様に適用することができる。

(発明の効果)

以上述べたように第1図に示した本発明によればゲートとドレインをオフセットにすること

よりドレイン近傍の電界を低減できインパクト・イオン化が弱まることによりMOSFETの電流電圧特性におけるKinKを抑制することができ、さらに、バイポーラ動作によるブレーク・ダウンを抑制できMOSFETの耐圧を向上することができる。

以上述べたように第5図に示した本発明によればソースとチャネル領域の間に $p^+$ 層を設けることにより、電位障壁を高めることができ、バイポーラ動作によるブレーク・ダウンを抑制できMOSFETの耐圧を向上することができる。

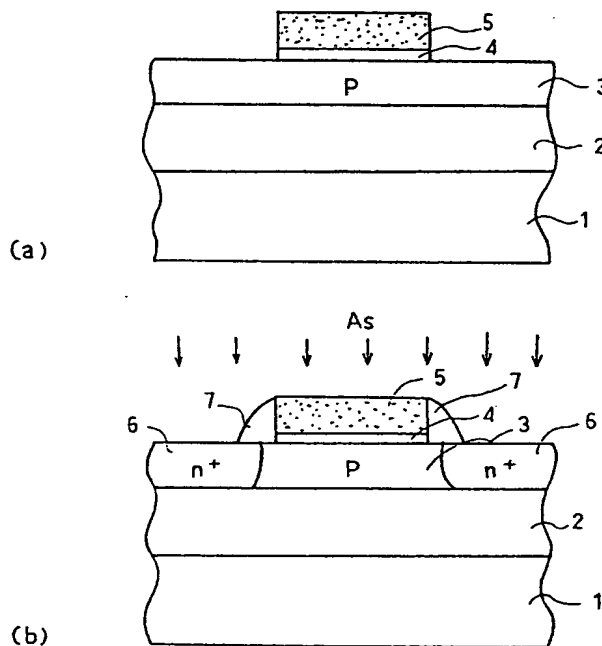
#### 4. 図面の簡単な説明

第1図は本発明の実施例の製造工程を示す断面図、第2図は本発明および従来法によるSOIMOS-FETの電流特性図、第3図はKinKおよびバイポーラ動作によるブレーク・ダウンを説明するための模式図、第4図は従来法による製造工程を示す断面図、第5図はMOSFETの製造工程を示す断面図である。

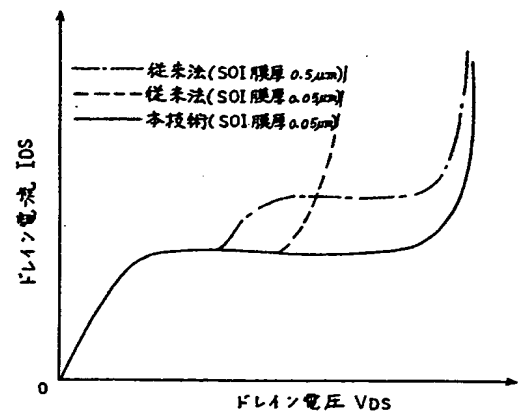
1…単結晶シリコン基板、2…CVD酸化膜、  
3…p形単結晶シリコン膜、4…ゲート酸化膜、

5…多結晶シリコン・ゲート電極、  
6… $n^+$ ソース・ドレイン層  
7…ゲート側壁CVD酸化膜。

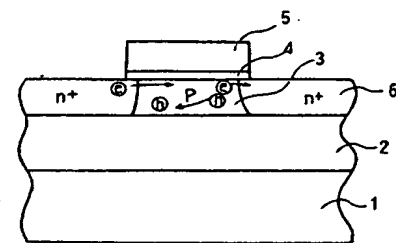
代理人 弁理士 則 近 憲 佑  
同 松 山 允 之



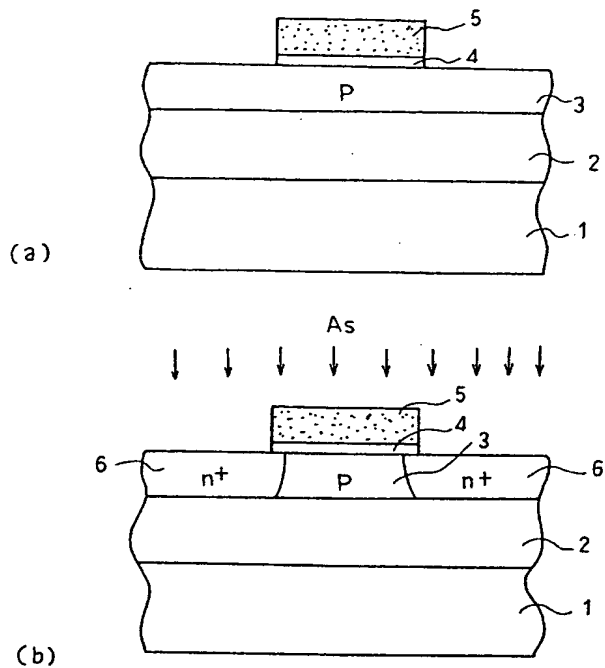
第 1 図



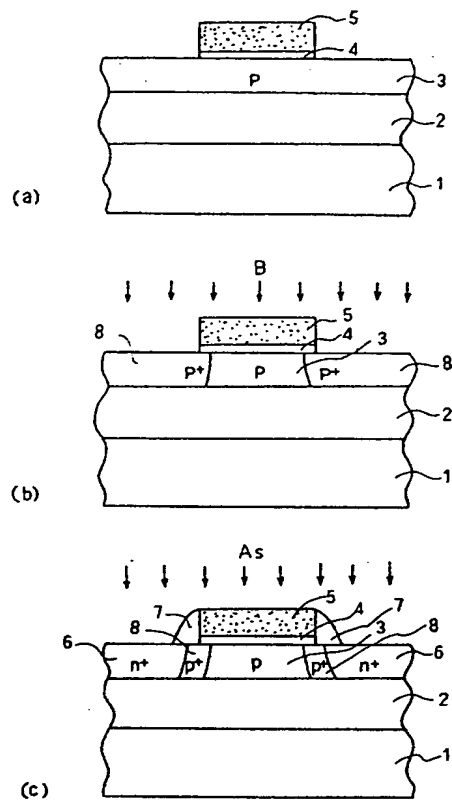
第 2 図



第 3 図



第 4 圖



第 5 圖